



INSTITUTO NACIONAL DE PESQUISA ESPACIAL – INPE

PROVA DISCURSIVA

TG20

DESENVOLVIMENTO DE SISTEMAS ELETRÔNICOS DIGITAIS



SUA PROVA

- Além deste caderno contendo **5 (cinco)** questões discursivas **com as respectivas folhas de rascunho**, você receberá do fiscal de prova as folhas de textos definitivos;



TEMPO

- Você dispõe de **4 (quatro) horas** para a realização da prova;
- **2 (duas) horas** após o início da prova, é possível retirar-se da sala, sem levar o caderno de questões;
- A partir dos **30 (trinta) minutos** anteriores ao término da prova é possível retirar-se da sala **levando o caderno de questões**.



NÃO SERÁ PERMITIDO

- Qualquer tipo de comunicação entre os candidatos durante a aplicação da prova;
- Anotar informações relativas às respostas em qualquer outro meio que não seja no caderno de questões e nas folhas de textos definitivos;
- Levantar da cadeira sem autorização do fiscal de sala;
- Usar o sanitário ao término da prova, após deixar a sala.



INFORMAÇÕES GERAIS

- Verifique se seu caderno de questões está completo, sem repetição de questões ou falhas. Caso contrário, **notifique imediatamente o fiscal da sala**, para que sejam tomadas as devidas providências;
- Confira seus dados pessoais, especialmente nome, número de inscrição e documento de identidade e leia atentamente as instruções para preencher as folhas de textos definitivos;
- Para o preenchimento das folhas de textos definitivos, use somente caneta esferográfica, fabricada em material transparente, com tinta preta ou azul;
- Assine seu nome apenas no(s) espaço(s) reservado(s) no cartão de respostas;
- Caso você tenha recebido caderno de cargo **diferente** do impresso em suas folhas de textos definitivos, o fiscal deve ser **obrigatoriamente** informado para o devido registro na ata da sala;
- O preenchimento das folhas de textos definitivos é de sua responsabilidade e **não será permitida a troca de folha de texto definitivo em caso de erro cometido pelo candidato**;
- Para fins de avaliação, serão levadas em consideração apenas os textos das folhas de textos definitivos;
- A FGV coletará as impressões digitais dos candidatos na lista de presença;
- Os candidatos serão submetidos ao sistema de detecção de metais quando do ingresso e da saída de sanitários durante a realização das provas.
- **Boa prova!**

Questão 1

O radiômetro é um instrumento de medição muito usado em missões espaciais. Dentre os vários tipos de radiômetros um é específico para medir a radiação solar absoluta, soma de espectros eletromagnéticos, desde o infravermelho até o ultravioleta. Este radiômetro é baseado no método da substituição elétrica, onde um pequeno objeto metálico é mantido a uma temperatura constante por aquecimento elétrico. Logo que ele é exposto à radiação solar, ele sofre aquecimento adicional fazendo com que seja necessária menos potência elétrica para manter a temperatura. Essa diminuição da potência elétrica é utilizada para quantificar a radiação recebida pelo radiômetro. A seguir ajude a projetar o sistema de aquisição e controle deste radiômetro deste tipo.

- A) Identifique e nomeie os parâmetros principais necessários para realizar o controle de temperatura do objeto metálico e desenhe o seu diagrama de controle.
- B) Tendo um sensor de temperatura que retorna uma variação linear de tensão de 0,0 a 1,0 V na faixa de variação desejada de 0 a 50°C para resposta em frequência de até 2Hz, e supondo que será usado um conversor AD de 10 bits, 100 amostras/s com range de leitura de 0,0 a 5,0 V, projete um filtro RC suficiente para proteger o sinal e que gere uma amplificação G que permita capturar a máxima sensibilidade do sinal. Desenhe o circuito elétrico correspondente a essas etapas e calcule os valores dos componentes. Para o cálculo do filtro, utilize um capacitor de 100nF.
- C) O aquecimento elétrico do objeto metálico será realizado por meio de chaveamento PWM (Pulse Width Modulation) acionado por um microcontrolador na base de um transistor BJT NPN (Darlington). Supondo que a resistência de aquecimento do objeto metálico seja de 10 Ω , polarize o transistor tal que a corrente de base seja de no máximo de 10 mA (nível alto do microcontrolador de 5V) e que a potência dissipada pelo objeto metálico seja de no máximo de 100mW (alimentação de 5V). Para isso considere que o transistor estará na região de saturação quando acionado pelo microcontrolador. Relacione o “duty cycle” (ciclo de trabalho) do PWM com a potência média dissipada pelo objeto, e descreva como se chega a tal relação.

Questão 2

Considere o microprocessador de 8 bits apresentado na Figura 1, com espaço único de endereçamento tanto para memória quanto para I/O, compatível com níveis TTL e alimentado por uma fonte de tensão de 5V. Neste processador, os sinais de controle WR# (*write*) e RD# (*read*) são ativos em nível lógico baixo, sendo ativados pelo processador cerca de 20 ns após o início de cada ciclo de escrita ou leitura em memória ou I/O e desativados cerca de 20 ns antes do seu fim. O barramento de endereços é modificado sempre no início de cada ciclo, sendo A15 o bit/sinal mais significativo. Por fim, o processador força níveis lógicos no barramento de dados somente em ciclos de escrita, e durante toda duração desses ciclos. Deseja-se mapear a memória RAM estática apresentada nas figuras 2 e 3 no espaço de endereçamento deste processador, de forma que todo o conteúdo desta memória RAM possa ser acessado por este processador em blocos de 4096 bytes cada, um por vez. O projetista tem ao seu dispor apenas os seguintes CIs de suporte para realizar esta tarefa: um 74AHCT02, um 74AHCT139 e um 74AHCT373, todos da família *TTL-compatible Advanced High-Speed CMOS Logic*, veja figuras 4 a 8.

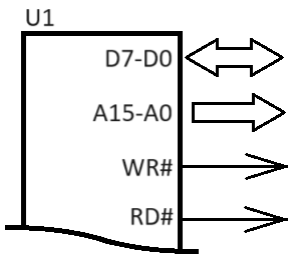


Fig. 1 – Microprocessador

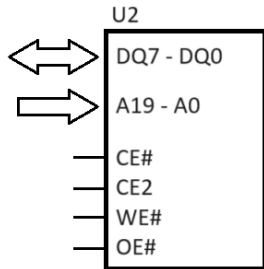


Fig. 2 – Memória SRAM

Mode	CE#	CE2	OE#	WE#	Operation
Standby	H	X	X	X	High-Z
	X	L	X	X	High-Z
Output Disable	L	H	H	H	High-Z
Read	L	H	L	H	Dout
Write	L	H	X	L	Din

Note: H = high logic level; L = low logic level; X = don't care

Fig. 3 – Tabela verdade para operação da memória SRAM

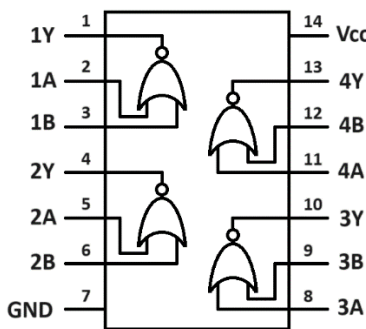


Fig. 4 – pinagem 74AHCT02 (U3)

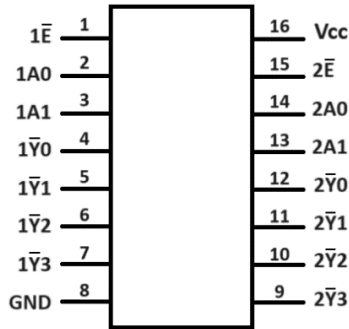


Fig. 5 – pinagem 74AHCT139 (U4)

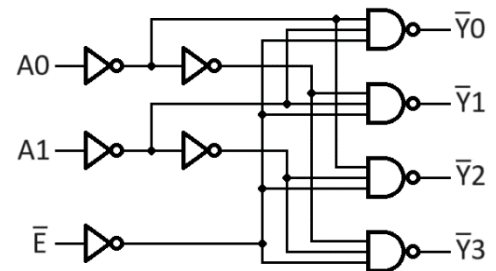


Fig. 6 – Diagrama funcional para cada um dos dois demultiplexadores do 74AHCT139 (U4)

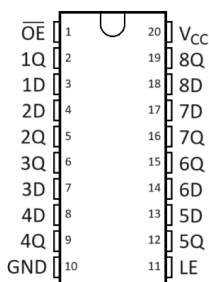


Fig. 7 – Pinagem 74AHCT373 (U5)

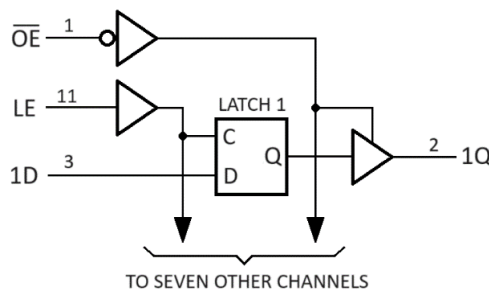


Fig. 8 – Diagrama lógico do latch transparente de 8 bits 74AHCT373 (U5)

Com base nessas informações, responda ao que se pede a seguir.

- Qual é a capacidade desta memória SRAM e como está organizada, isto é, qual o número de palavras e o número de bits de cada palavra desta memória?
- Seria possível a este processador acessar diretamente todo o conteúdo desta memória SRAM, sem ter que dividi-la em blocos onde apenas um ou alguns deles são visíveis ao processador a cada instante? Justifique a sua resposta.
- Desenhe o circuito necessário para ler e escrever nesta memória a partir deste microprocessador, considerando que o bloco selecionado desta memória deverá ser mapeado na faixa de endereços C000h-CFFFh deste processador, tanto para escrita quanto para leitura; e que a faixa de endereços do processador que pode ser usada para mapear o registrador de seleção de bloco vai de D000h a DFFFh. Outras faixas do espaço de endereçamento deste processador não podem ser usadas. Use um dos três CIs de suporte apresentados acima para ser o registrador de seleção de bloco de memória, e os demais conforme necessário. Entradas CMOS não utilizadas (mesmo de partes não usadas dos CIs acima) não deverão ser deixadas desconectadas. Use apenas os CIs indicados no enunciado, outros componentes não estão disponíveis em estoque.
- Quando se pode tolerar respostas e transições lentas (baixo *slew rate*), é possível substituir, sem muita vantagem, cada porta lógica de U3 (Fig. 4) por um circuito montado com resistores de 10k e 1k, e um ou mais transistores NPN de silício de uso geral. Apresente como poderia ser este circuito.

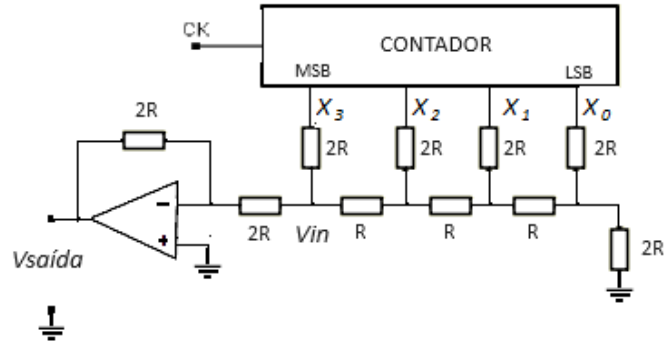
- 1
- 2
- 3
- 4
- 5
- 6
- 7
- 8
- 9
- 10
- 11
- 12
- 13
- 14
- 15
- 16
- 17
- 18
- 19
- 20
- 21
- 22
- 23
- 24
- 25
- 26
- 27
- 28
- 29
- 30

Questão 3

Considere um ADC do tipo flash (paralelo) de $N=2$ bits, $V_{dd}=5V$, $V_{ref}=4V$ e uma divisão resistiva composta de 4 (quatro) resistores R ,

- A) Desenhe um esquemático ADC equivalente fazendo-se do uso de flip-flops e de um conversor de código para o circuito.
- B) Obtenha as tensões de entrada (comparação) nos operacionais.
- C) Para o mesmo tipo de ADC, considerando agora o mesmo ser de 10 bits,
 - C₁ Determine quantos comparadores serão necessários.
 - C₂ Esta alteração pode afetar o projeto?
 - C₃ Justifique.

Considere agora o circuito abaixo, no qual as tensões de saída dos flip-flops são todas idênticas e a saída dos contadores tem $V=0V$ para o nível 0 (GND) e $V_r=3V$ para o nível 1.



- D) Calcule o valor de V_{in} para o binário $X_3X_2X_1X_0 = 1000$
- E) A tabela da verdade de V_{in} e da tensão de saída ($V_{saída}$) para todos os valores possíveis de X_0 e X_1 dos flip-flops.
- F) A taxa mínima de amostragem necessária em um conversor A/D para que seja possível reconstruir com fidelidade sinais analógicos contendo componentes de até 20kHz.

Questão 4

Num grande projeto, uma equipe descreveu um processador personalizado em VHDL. Um engenheiro precisa escrever o código da arquitetura de um contador mapeado em memória que se comunica com o processador. Seguem alguns atributos do processador e do contador:

- tamanho do barramento de endereços do processador: 16 bits;
- tamanho do barramento de dados do processador: 8 bits;
- número de bits do contador: 8;
- endereço de memória, em hexadecimal, de mapeamento do contador: FA00;
- em um ciclo de leitura, o contador retorna seu valor e é decrementado ao final do pulso de leitura;
- em um ciclo de escrita, o contador é atualizado com o novo valor vindo do processador;
- ao ser lido com o valor 0 (ZERO), o contador efetiva um pedido de interrupção ao processador;
- a duração do pedido de interrupção é igual a do pulso de leitura;
- o esqueleto da descrição do contador está indicado a seguir.

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

entity CONTADOR is
port(RD,WR: in std_logic; A: in std_logic_vector(15 downto 0);
      INTR: out std_logic; D: inout std_logic_vector(7 downto 0));
end CONTADOR;

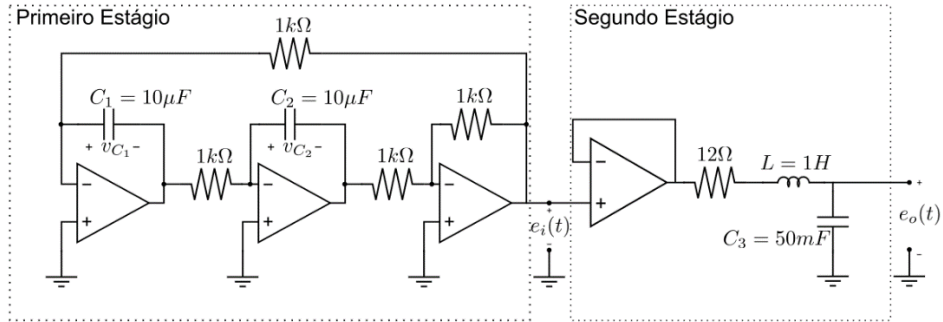
architecture comportamento of CONTADOR is
signal cont: std_logic_vector(7 downto 0);
...
begin
...
end comportamento;
```

Com base nessas informações, responda ao que se pede a seguir.

- A) Desenhe um diagrama de blocos ilustrativo da comunicação entre o processador e o contador.**
- B) Descreva a arquitetura do contador em VHDL a partir do esqueleto de código indicado.**

Questão 5

O circuito da figura contém amplificadores operacionais ideais alimentados simetricamente com $\pm 15V$ (não representados graficamente). Admita que, em um instante inicial $t = 0$, têm-se as tensões $v_{C_1} = 0,0V$ e $v_{C_2} = 1,0V$, bem como que a tensão no capacitor C_3 e a corrente no indutor L são nulas.



Com base nessas informações, responda ao que se pede a seguir.

- A) Esboce a curva de $e_i(t)$ para a janela de tempo de $t = 0s$ até $t = 0,15s$. Apresente os cálculos que suportem os detalhes significativos do seu esboço.
- B) Esboce o diagrama de Bode aproximado de ganho em decibéis do Segundo Estágio do circuito apresentado, considerando que a entrada é a tensão $e_i(t)$ e que a saída é a tensão $e_o(t)$. Utilize escala logarítmica para o eixo da frequência angular e indique as inclinações das diferentes porções da curva.
- C) Calcule a expressão matemática que representa a tensão de saída em função do tempo $e_o(t)$, admitindo que o circuito já esteja operando em regime permanente de corrente alternada e que não há dissipação da energia inicialmente armazenada nos capacitores do primeiro estágio. Dado: $10^{-2,7} \cong 0,002$.

Realização

